

# Sumário

<b>1. Sistemas de numeração e códigos</b>	<b>23</b>
1.1. Conceitos fundamentais	23
1.2. Representações numéricas	24
1.3. Representação de dados numéricos	25
1.4. Sistemas de números e bases numéricas	27
1.4.1. Sistema de numeração decimal	27
1.4.2. Sistema de numeração binário	28
1.4.3. Sistema de numeração hexadecimal	29
1.5. Conversão de base	30
1.5.1. Conversão de uma base qualquer para a base 10	30
1.5.2. Conversão da base 10 para uma base qualquer	31
1.5.2.1. Números inteiros	31
1.5.2.2. Números fracionários	31
1.6. Conversão da base 2 para a base 16	33
1.7. Conversão da base 16 para a base 2	34
1.8. Decimal codificado em binário (BCD)	34
1.9. Aritmética binária	36
1.9.1. Adição	36
1.9.2. Subtração	37
1.9.3. Multiplicação	39
1.9.4. Divisão	40
Exercícios propostos	42
<b>2. Introdução à lógica digital, portas e circuitos lógicos</b>	<b>44</b>
2.1. Introdução à lógica digital	44
2.2. Constantes e variáveis booleanas	45
2.3. Representação de uma porta lógica e tabela-verdade	47
2.4. Função e porta lógica OR (OU)	49

2.5. Função e porta lógica AND (E)	52
2.6. Função e porta lógica NOT (NÃO)	55
2.7. Diagrama de tempo	59
2.8. Descrição de circuitos lógicos	60
2.8.1. Expressão algébrica booliana a partir do circuito lógico	61
2.8.2. Circuito lógico a partir da expressão algébrica booliana	65
2.9. Portas lógicas derivadas	69
2.9.1. Função e porta lógica NOR (NOU)	69
2.9.2. Função e porta lógica NAND (NE)	71
2.9.3. Função e porta lógica XOR (Exclusive OR ou OU Exclusivo)	74
2.9.4. Função e porta lógica XNOR (Coincidência)	76
2.10. Porta lógica real	78
Exercícios propostos	81
<b>3. Álgebra booliana e simplificações</b>	<b>84</b>
3.1. Introdução	84
3.2. Operações básicas da álgebra booliana	85
3.2.1. Operação de adição lógica	85
3.2.2. Operação de multiplicação lógica	86
3.2.3. Operação de inversão lógica	88
3.3. Leis fundamentais e teoremas da álgebra booliana	89
3.4. Teoremas de De Morgan	91
3.5. Extração de expressão booliana a partir de tabela-verdade	92
3.5.1. Extração de expressões boolianas por soma de produtos	93
3.5.2. Extração de expressões boolianas por produto de somas	95
3.6. Modos de representações das formas de soma de produtos e produto de somas	97
3.7. Construção de circuitos lógicos nas formas padrão e não padrão	101
3.8. Simplificação de expressões boolianas usando mapas de Karnaugh	104
3.8.1. Mapas de Karnaugh para duas, três e quatro variáveis	109
3.8.2. Identificação de agrupamento dos mapas de Karnaugh	114
3.9. Determinação de expressões boolianas para funções não totalmente especificadas	118
3.10. Mapeamento da expressão booliana	120
Exercícios propostos	124

<b>4. Aritmética digital e circuitos aritméticos</b>	<b>130</b>
4.1. Representação de números binários	130
4.1.1. Representação no formato sinal-magnitude	131
4.1.2. Representação no formato complemento de 1	132
4.1.3. Representação no formato complemento de 2	133
4.2. Adição binária	138
4.3. Subtração binária	140
4.4. Adição BCD	141
4.5. Adição hexadecimal	144
4.6. Subtração hexadecimal	146
4.7. Circuitos aritméticos	148
4.7.1. Meio somador	149
4.7.2. Somador completo	150
4.7.3. Meio subtrator	154
4.7.4. Subtrator completo	156
4.7.5. Somador-subtrator	159
4.7.6. Unidade lógica aritmética (ULA)	161
4.7.7. Circuitos integrados aritméticos	163
4.7.7.1. Somador completo binário de quatro <i>bits</i> – 74x283	163
4.7.7.2. Unidade lógica aritmética de quatro <i>bits</i> – 74x181	164
Exercícios propostos	168
<b>5. Circuitos lógicos combinacionais</b>	<b>172</b>
5.1. Codificadores	176
5.2. Decodificadores	180
5.2.1. Decodificador 3x8	180
5.2.2. Decodificador com entrada de habilitação	182
5.2.3. Decodificador BCD para ativação de <i>display</i> de sete segmentos	184
5.3. Circuitos geradores e verificadores de paridade	188
5.3.1. Código de paridade	188
5.3.2. Geração e verificação de paridade	188
5.4. Circuitos lógicos para habilitar e desabilitar	192
5.4.1. Com uma entrada para controle	192
5.4.2. Com duas entradas para controle	193
5.5. Comparador de magnitude	196

5.5.1. Circuito do comparador de magnitude de quatro <i>bits</i>	196
5.5.2. Comparador de magnitude com circuito integrado 7485	197
5.6. <i>Buffers</i> de três estados	200
5.6.1. Apresentação do terceiro estado ou estado de alta impedância	200
5.6.2. Circuitos lógicos com <i>buffers</i> de três estados	200
5.6.3. Barramento com <i>buffers</i> de três estados (alta impedância)	201
Exercícios propostos	203
<b>6. Circuitos lógicos sequenciais</b>	<b>207</b>
6.1. Definição	207
6.2. <i>Latch</i> do tipo SR	208
6.2.1. <i>Latch</i> do tipo SR com portas NAND	209
6.2.2. <i>Latch</i> do tipo SR com portas NOR	215
6.3. Definição de <i>flip-flop</i>	217
6.3.1. <i>Flip-flop</i> do tipo SR	218
6.3.2. <i>Flip-flop</i> do tipo JK	223
6.3.3. <i>Flip-flop</i> do tipo D	226
6.3.4. Sinais assíncronos em <i>flip-flop</i>	227
6.4. Circuitos com <i>flip-flop</i>	230
6.4.1. Eliminador de trepidação de contato	230
6.4.2. Registradores	232
6.4.2.1. Registrador série-paralelo ou registrador de deslocamento	233
6.4.2.2. Registrador série-série	235
6.4.2.3. Registrador paralelo-série	235
6.4.2.4. Registrador paralelo-paralelo ou <i>latch</i>	238
6.4.3. Contadores	238
6.4.3.1. Contadores assíncronos	240
6.4.3.1.1. Contador assíncrono crescente	240
6.4.3.1.2. Contador assíncrono de década	243
6.4.3.1.3. Contador assíncrono de 0 a $n$	245
6.4.3.1.4. Contador assíncrono decrescente	246
6.4.3.1.5. Contador assíncrono de $n$ a 0	247
6.4.3.2. Contadores síncronos	249
6.4.3.2.1. Contador síncrono crescente módulo $2^n$	250

6.4.3.2.2. Contador síncrono de década	254
6.4.3.2.3. Contador síncrono personalizado	255
6.5. Aplicações práticas com circuitos baseados em <i>flip-flop</i>	260
6.5.1. Chave de toque do tipo liga-desliga para lâmpada	260
6.5.2. Frequencímetro	261
6.5.3. Impressora térmica	263
6.6. Circuitos integrados relacionados	265
6.6.1. <i>Flip-flop</i>	266
6.6.2. Registradores	268
6.6.3. Contadores	271
6.7. Sinal de <i>clock</i> e multivibradores	277
6.7.1. Multivibrador biestável	278
6.7.2. Multivibrador astável	278
6.7.3. Multivibrador monoestável	283
Exercícios propostos	285
<b>7. Multiplexadores, demultiplexadores e conversores</b>	<b>289</b>
7.1. Multiplexadores	289
7.1.1. Definição e funcionamento	289
7.1.2. Expansão da capacidade de um sistema multiplexador	292
7.1.3. Multiplexador na forma de circuito integrado	295
7.1.4. Implementação de funções lógicas utilizando multiplexador	296
7.2. Demultiplexador	300
7.2.1. Definição e funcionamento	300
7.2.2. Expansão da capacidade de um sistema demultiplexador	303
7.2.3. Demultiplexador na forma de circuito integrado	305
7.3. Transmissão de dados	307
7.3.1. Transmissão serial de dados	307
7.3.2. Transmissão paralela de dados	311
7.4. Conversores de sinais D/A e A/D	313
7.4.1. Conversor D/A	315
7.4.1.1. Conversor D/A com rede resistiva	315
7.4.1.2. Conversor D/A com amplificador operacional	321
7.4.2. Conversor A/D	325
7.4.2.1. Conversor A/D do tipo contador de rampa	326

7.4.2.2. Conversor A/D do tipo contador de rampa contínuo	327
7.4.2.3. Conversor A/D de aproximação sucessiva	329
7.4.3. Parâmetros dos conversores D/A e A/D	331
Exercícios propostos	334
<b>8. Famílias lógicas</b>	<b>339</b>
8.1. História dos circuitos integrados	339
8.2. Características elétricas e físicas de um circuito integrado	341
8.2.1. Tensão de alimentação	342
8.2.2. Margem de ruído	343
8.2.3. Corrente-limite	345
8.2.4. <i>Fan-in</i> e <i>fan-out</i>	347
8.2.5. Tempo de comutação	348
8.2.6. Atraso de propagação	349
8.2.7. Potência dissipada	349
8.2.8. Encapsulamento	351
8.3. Família lógica TTL	356
8.3.1. Porta lógica NAND simplificada	356
8.3.2. Porta lógica NAND completa	358
8.3.3. Porta lógica NOT (inversora)	361
8.3.4. Porta lógica NOR	362
8.3.5. Demais portas lógicas	363
8.3.6. Características da família lógica TTL e suas variações	363
8.4. Tecnologia MOS	368
8.5. Família lógica CMOS	371
8.5.1. Porta lógica NOT (inversora)	372
8.5.2. Porta lógica NAND	373
8.5.3. Porta lógica NOR	374
8.5.4. Demais portas lógicas	374
8.5.5. Características da família CMOS e suas variações	375
8.6. Outras famílias lógicas e tendências	379
8.6.1. Família lógica RTL	379
8.6.2. Família lógica DTL	380
8.6.3. Família lógica I <sup>2</sup> L	381
8.6.4. Família lógica ECL	382

8.6.5. Família lógica BiCMOS	386
8.6.6. Famílias lógicas CMOS de baixa tensão	390
8.6.7. Famílias lógicas LVDS ( <i>low voltage differential signaling</i> )	393
8.6.8. Família lógica 74G ( <i>noise cancellation GHz</i> )	394
8.7. Dicas para projetar usando circuitos integrados TLL e CMOS	395
8.7.1. Entradas desconectadas	395
8.7.2. Sinais com variação muito lenta	396
8.7.3. Capacitores de desacoplamento	397
8.7.4. Lógica mista entre CIs	397
8.7.4.1. Diferentes famílias TTL ou CMOS	397
8.7.4.2. CMOS acionado por TTL	398
8.7.4.3. TTL acionado por CMOS	398
8.7.4.4. Diferentes tensões de alimentação	399
Exercícios propostos	400
<b>9. Dispositivos de memória</b>	<b>403</b>
9.1. Conceituando memória	404
9.2. Terminologia dos dispositivos de memória	405
9.2.1. Memória volátil	405
9.2.2. Memória não volátil	405
9.2.3. Memória estática	405
9.2.4. Memória dinâmica	405
9.2.5. Célula de memória	405
9.2.6. Palavra ou conteúdo	406
9.2.7. Endereço	406
9.2.8. Entradas de dados	406
9.2.9. Saída de dados	406
9.2.10. Capacidade	406
9.2.11. Velocidade ou tempo de acesso	406
9.2.12. Potência consumida	407
9.2.13. <i>Nibble</i>	407
9.2.14. <i>Byte</i>	407
9.2.15. <i>Word</i>	407
9.2.16. <i>Double word</i>	407
9.2.17. <i>Kilobyte (kB)</i>	407

9.2.18. <i>Megabyte</i> (MB)	407
9.2.19. <i>Gigabyte</i> (GB)	408
9.3. Operações realizadas em memórias	408
9.3.1. Operação de escrita	408
9.3.2. Operação de leitura	408
9.3.3. Habilitação da memória	409
9.3.4. Seleção da memória	409
9.3.5. Habilitação da saída de dados da memória	409
9.4. Arquitetura da memória semicondutora	411
9.5. Critérios de escolha de memórias	413
9.5.1. Forma de acesso	414
9.5.2. Tecnologia utilizada	414
9.5.3. Capacidade de armazenamento de dados	415
9.5.4. Saídas da memória	415
9.6. Tipos de memórias	416
9.6.1. Memórias voláteis	416
9.6.1.1. RAM estática (SRAM)	416
9.6.1.2. RAM dinâmica (DRAM)	420
9.6.2. Memórias não voláteis	422
9.6.2.1. ROM	422
9.6.2.2. PROM	426
9.6.2.3. EPROM	426
9.6.2.4. EEPROM	428
9.6.2.5. Flash EEPROM	429
9.6.3. Outros tipos de memórias	430
9.6.3.1. NVRAM	430
9.6.3.2. FIFO	431
9.6.3.3. FRAM	432
9.7. Ampliação de memórias em paralelo	433
9.7.1. Ampliação de posições de memória	433
9.7.2. Ampliação de <i>bits</i> por palavra de memória	435
9.7.3. Decodificador de endereços de memórias	436
9.7.4. Mapa de memória	438
Exercícios propostos	440

<b>10. Dispositivos lógicos programáveis</b>	<b>443</b>
10.1. História dos dispositivos lógicos programáveis	443
10.2. PROM	447
10.3. PLA	450
10.4. PAL	451
10.5. GAL	453
10.6. CPLD	454
10.7. FPGA	456
10.8. Programação VHDL	460
10.8.1. Código VHDL	461
10.8.1.1. Bibliotecas e pacotes	463
10.8.1.2. Entidade	464
10.8.1.3. Arquitetura	466
10.8.1.4. Sinais	467
10.8.1.5. Variáveis	468
10.8.1.6. Constantes	469
10.8.1.7. Operadores	470
10.8.1.8. Componentes	471
10.8.1.9. Instruções concorrentes	473
10.8.1.10. Instruções sequenciais	476
10.9. Criando projetos usando PLDs	480
10.9.1. Circuito lógico combinacional usando linguagem VHDL	481
10.9.2. Circuito lógico sequencial usando linguagem VHDL	497
10.9.3. Circuito lógico combinacional usando esquema elétrico	505
Exercícios propostos	514
<b>Respostas dos exercícios propostos</b>	<b>517</b>
<b>Referências</b>	<b>551</b>
<b>Índice remissivo</b>	<b>553</b>
<b>Sobre os autores</b>	<b>558</b>